



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Docket No.

KEL HERTWIG ET AL

PHDE 000167

Serial No. 09/965,451

Group Art Unit: 2183

Filed: SEPTEMBER 27, 2001

Title: MULTIPROCESSOR ARRAY

Commissioner for Patent
Washington, D.C. 20231

RECEIVED

MAR 13 2002

Technology Center 2100

CLAIM FOR PRIORITY

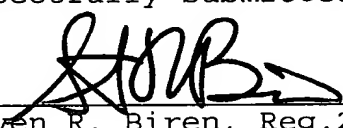
Sir:

A Certified copy of the German Application No. 10048732.7
filed September 29, 2000 referred to in the Declaration of the
above-identified application is attached herewith.

Applicant claims the benefit of the filing date of said
German application.

Respectfully submitted,

Enclosure

By 
Steven R. Biren, Reg. 26,531
Attorney
(914) 333-9630

CERTIFICATE OF MAILING

It is hereby certified that this correspondence is being deposited with the
United States Postal Service as first-class mail in an envelope addressed to:

COMMISSIONER OF PATENTS AND TRADEMARKS
Washington, D.C. 20231

On 2/25/02

By 

PHDE000167



ZUSAMMENFASSUNG

Multiprozessor-Anordnung

- Multiprozessor-Anordnung mit einer innerhalb einer ersten Clock-Domain arbeitenden ersten Schartenregister-Einheit (3), mindestens einer innerhalb einer zweiten Clock-Domain arbeitenden zweiten Schartenregister-Einheit (11) und einer innerhalb einer Peripherie-Clock-Domain arbeitenden Peripherie-Einheit (17). Innerhalb aller Clock-Domains sind Register-Einheiten (3, 11, 20) vorgesehen, die funktionsidentisch ausgebildet sind.

10 Fig. 1

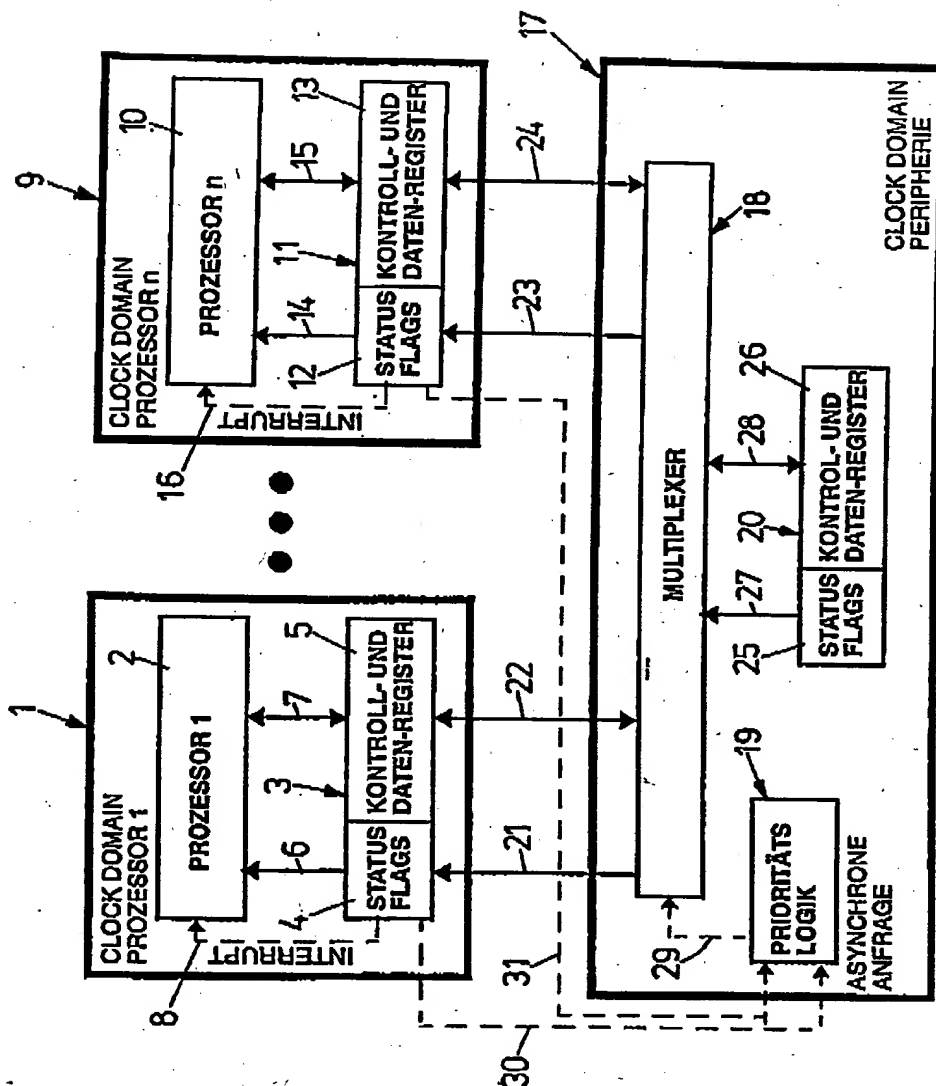


FIG.1

PHDE000167

PHDE000167

BESCHREIBUNG

Multiprozessor-Anordnung

Die Erfindung betrifft eine Multiprozessor-Anordnung, bei der mehrere Prozessoren asynchron auf eine gemeinsame Peripherie-Einheit zugreifen können.

5 Es ist bekannt, dass mehrere Prozessoren, die auf eine gemeinsame Peripherie-Einheit zugreifen sollen, mit dieser über einen Bus verbunden sind. Zugriffe auf den Bus bedürfen einer Arbitrierung zwischen den Prozessoren. Eine derartige Anordnung ist in der Implementierung aufwendig und im Betrieb wenig effizient. Insbesondere ist der Zeitaufwand
10 für einen Zugriff nicht mehr deterministisch.

Der Erfindung liegt die Aufgabe zugrunde, eine Multiprozessor-Anordnung zu schaffen, bei der mehrere Prozessoren möglichst einfach auf eine gemeinsame Peripherie-Einheit zugreifen können.

15 Die Aufgabe wird durch die Merkmale des Anspruchs 1 gelöst. Der Kern der Erfindung besteht darin, innerhalb der Clock-Domain eines jeweiligen Prozessors eine Schattenregister-Einheit vorzusehen, die identisch zu der Register-Einheit der Peripherie-Einheit ausgebildet ist. Hierdurch kann die Übertragung der relevanten Daten vom Prozessor an
20 die Peripherie-Einheit ohne Synchronisation zu einer anderen Clock-Domain wie auch ohne jegliche Arbitrierung erfolgen.

Weitere vorteilhafte Ausgestaltungen der Erfindung ergeben sich aus den Unteransprüchen.

25 Zusätzliche Merkmale und Einzelheiten der Erfindung ergeben sich aus der Beschreibung eines Ausführungsbeispiels anhand der Zeichnung. Es zeigt:

Fig. 1 eine schematische Darstellung einer erfindungsgemäßen Multiprozessor
30 Anordnung.

Eine Multiprozessor-Anordnung weist eine innerhalb einer ersten Clock-Domain, d.h. Takgeber-Domäne, arbeitende erste Prozessor-Schattenregister-Einheit 1 mit einem ersten Prozessor 2 und einer ersten Schattenregister-Einheit 3 auf. Die Schattenregister-Einheit 3 besteht ihrerseits aus Status-Flags 4 sowie Kontroll-/Daten-Registern 5, die über
5 Datenübertragungsleitungen 6 bzw. 7 mit dem Prozessor 2 verbunden sind. Die Status-Flags 4 können beim Prozessor 2 ein Interrupt 8 auslösen.

Ferner ist eine innerhalb einer zweiten Clock-Domain arbeitende zweite Prozessor-Schattenregister-Einheit 9 vorgesehen, welche analog zur ersten Prozessor-Schattenregister-Einheit 1 aufgebaut ist und einen Prozessor 10, eine zweite Schattenregister-Einheit 11 mit
10 Status-Flags 12 und Kontroll-/Daten-Registern 13 mit Datenübertragungsleitungen 14 bzw. 15 aufweist. Die Status-Flags 12 sind über ein Interrupt 16 mit dem Prozessor 10 verbunden. Es können eine Reihe weiterer Prozessor-Schattenregister-Einheiten analogen Aufbaus vorgesehen sein. Ferner ist es möglich, mehrere Prozessoren und zugehörige
15 Prozessor-Schattenregister-Einheiten in derselben Clock-Domain vorzusehen. Die Multiprozessor-Anordnung kann selbstverständlich auch nur mit einer einzigen Prozessor-Schattenregister-Einheit ausgestattet sein.

Die Multiprozessor-Anordnung weist ferner eine innerhalb einer Peripherie-Clock-Domain arbeitende Peripherie-Einheit 17 mit einer Multiplexer-Einheit 18, einer Prioritäts-Einheit 19 sowie einer Register-Einheit 20 auf. Bei der Peripherie-Einheit 17 kann es sich um eine Infrarot-Schnittstelle, eine UART-Schnittstelle (Universal Asynchronous Receiver Transmitter) oder eine USB-Schnittstelle (Universal Serial Bus) handeln. Die
20 Multiplexer-Einheit 18 ist mit Datenübertragungsleitungen 21 und 22 mit den Status-Flags 4 bzw. den Kontroll-/Daten-Registern 5 verbunden. Ferner ist die Multiplexer-Einheit 18 über Datenübertragungsleitungen 23 und 24 mit den Status-Flags 12 und den
25 Kontroll-/Daten-Registern 13 verbunden. Sofern weitere Prozessor-Schattenregister-Einheiten vorgesehen sind, so ist die Multiplexer-Einheit 18 auch mittels weiterer Datenübertragungsleitungen mit den entsprechenden Schattenregistern verbunden. Die Register-Einheit 20 weist Status-Flags 25 sowie Kontroll-/Daten-Register 26 auf, die über Daten-
30 übertragungsleitungen 27 bzw. 28 mit der Multiplexer-Einheit 18 verbunden sind. Die Schattenregister-Einheiten 3 und 11 sowie die möglicherweise weiteren Schattenregister-

Einheiten weisen den identischen Aufbau wie die Register-Einheit 20 auf. Zumindest ist der Aufbau funktionsidentisch. Die Prioritäts-Einheit 19 ist über eine Datenübertragungsleitung 29 mit der Multiplexer-Einheit 18 verbunden und gibt auf diese entsprechende Steuersignale. Die Status-Flags 4 und 12 sind über Anfrage-Leitungen 30 bzw. 31 mit der

5 Prioritäts-Einheit 19 verbunden.

Im folgenden wird der Betrieb der Multiprozessor-Anordnung beschrieben. Möchte der Prozessor 2 die Peripherie-Einheit 17 benutzen und dafür die Register-Einheit 20 beschreiben, so beschreibt er zunächst das in seiner Clock-Domain liegende identische

10 Schattenregister 3. Beim Beschreiben des Schattenregisters 3 treten keine Synchronisationsprobleme auf, da das Schattenregister 3 in derselben Clock-Domain liegt, wie der erste Prozessor 2. Ferner entstehen keine Konflikte mit den anderen Prozessoren. Durch das Beschreiben des Schattenregisters 3 ist die Kommunikation mit der Peripherie für den Prozessor 2 beendet. Mögliche Ergebnisse oder der Abschluss der auf die Peripherie-

15 Einheit 17 zu übertragenden Aufgabe wird dem Prozessor 2 später über einen Interrupt 8 mitgeteilt.

Gleichzeitig zu Prozessor 2 können weitere Prozessoren, z.B. Prozessor 10, ähnliche Anfragen an die ihnen zugeordnete Schattenregister-Einheit 11 richten. Die Prozessoren 2

20 und 10 können somit unabhängig voneinander und asynchron zueinander arbeiten. Der Zugriff auf die Schattenregister-Einheiten 3 und 11 steht unter der vollen Kontrolle des zugeordneten Prozessors 2 bzw. 10.

Nachdem Änderungen in der Schattenregister-Einheit 3 vorgenommen worden sind, wird dies über die asynchrone Anfrageleitung 30 der Prioritäts-Einheit 19 mitgeteilt. Die Prioritäts-Einheit 19 entscheidet nach nachfolgend genauer erläuterten Prioritäts-Kriterien, welche Anfrage als nächste zu bearbeiten ist. Erhält der Prozessor 2 den Zuschlag, so steuert die Prioritäts-Einheit 19 über die Leitung 29 die Multiplexer-Einheit 18 in der Weise an, dass der Inhalt der Schattenregister-Einheit 3 über die Leitungen 21 und 22

25

30 durch die Multiplexer-Einheit 18 ausgelesen wird. Da bei dem Lesevorgang statische Daten in der Schattenregister-Einheit 3 ausgelesen werden, spielt es keine Rolle, dass die erste Clock-Domain der Prozessor-Schattenregister-Einheit 1 und die Peripherie-Clock-

Domain nicht aufeinander abgestimmt sind. Die Übertragung der Daten kann somit asynchron erfolgen. Die aus der Schattenregister-Einheit 3 ausgelesenen Daten werden in die Register-Einheit 20 kopiert. Nun führt die Peripherie-Einheit 17 die ihr zugewiesene Aufgabe aus. Hier werden beispielsweise Daten über eine Infrarot-Schnittstelle nach außen übertragen. Währenddessen bearbeitet die Prioritäts-Einheit 19 keine weiteren Anfragen. Wenn die Peripherie-Einheit 17 die Aufgabe abgearbeitet hat, werden entsprechende Datenergebnisse und Statusinformationen an die entsprechende Schattenregister-Einheit 3 zurückgegeben. Die Peripherie-Einheit 17 befindet sich nun wieder im Leerlauf und die Prioritäts-Einheit 19 kann die nächste Anfrage auswählen. Sobald die Datenergebnisse und Statusinformationen von der Peripherie-Einheit 17 in die Schattenregister-Einheit 3 kopiert worden sind, kann ein Interrupt 8 ausgelöst werden, um den Prozessor 2 von der Fertigstellung seiner Anfrage zu informieren.

Die über die Anfrageleitungen 30 bzw. 31 übertragenen Anfrage-Signale sind als Ein-Bit-Signal kodiert. Dies hat den Vorteil, dass es bei dem Senden eines Anfrage-Signales von der Schattenregister-Einheit 3 oder 11 an die Prioritäts-Einheit 19 auf eine Synchronisation der verschiedenen Clock-Domains nicht ankommt. Somit kann das Anfragesignal asynchron übertragen werden.

Für die Prioritäts-Einheit 19 bestehen verschiedene Möglichkeiten, um den verschiedenen Prozessoren 2 und 10 Prioritäten zuzuteilen. Es kann zum einen danach verfahren werden, dass gilt: Wer zuerst kommt, mahlt zuerst. Hierbei wird die Anfrage des Prozessors als nächste bearbeitet, der sie als nächster stellt. Ferner können die Prozessoren der Reihe nach abgearbeitet werden, d.h. auf den Prozessor 2 folgt der Prozessor 10 und alle möglichen weiteren mit der Peripherie-Einheit 17 verbundenen Prozessoren. Darüber hinaus besteht die Möglichkeit, den Prozessoren verschiedene Prioritäten zuzuordnen. Hiernach würde z.B. Prozessor 2 gegenüber Prozessor 10 immer bevorzugt. Die Prioritäten können auch statistisch verteilt werden. So könnte Prozessor 2 z.B. 60 % der Zeit und Prozessor 10 40 % der Zeit zugeordnet werden. Darüber hinaus kann entweder für jeden Zugriff eine Neuzuteilung erfolgen oder aber eine Neuzuteilung nur nach expliziter Freigabe einer Zuteilung erfolgen. Im letzteren Fall wäre eine Blockverarbeitung möglich. Alternativ zu einem Interrupt nach der Abarbeitung der Aufgabe kann auch regelmäßig der Status durch

den entsprechenden Prozessor, was als Polling bezeichnet wird, überprüft werden.

- Vorteilhaft an der Multiprozessor-Anordnung ist, dass jeweils ein Prozessor ohne Konflikt mit anderen Prozessoren auf eine gemeinsame Peripherie-Einheit zugreifen kann. Auf diese
5. Weise kann eine Busarbitrierung, die zeitaufwendig ist, vermieden werden und die Auslastung der Peripherie-Einheit maximiert werden. Die Taktversorgung der einzelnen Prozessoren sowie der Peripherie-Einheit kann getrennt bleiben.

PATENTANSPRÜCHE

1. Multiprozessor-Anordnung mit

- a) einer innerhalb einer ersten Clock-Domain arbeitenden ersten Prozessor-Schattenregister-Einheit (1), welche aufweist
 - i) einen ersten Prozessor (2) und
 - 5 ii) eine erste Schattenregister-Einheit (3), die mit dem ersten Prozessor (2) in datenübertragender Weise verbunden ist,
- b) mindestens einer zweiten Prozessor-Schattenregister-Einheit (9), welche
 - i) innerhalb einer entsprechenden zweiten Clock-Domain arbeitet,
 - 10 ii) einen zweiten Prozessor (10) aufweist und
 - iii) eine zweite Schattenregister-Einheit (11) aufweist, die mit dem zweiten Prozessor (10) in datenübertragender Weise verbunden ist, und
- c) einer innerhalb einer Peripherie-Clock-Domain arbeitenden Peripherie-Einheit (17), welche aufweist
 - 15 i) eine Multiplexer-Einheit (18), welche in datenübertragender Weise mit der ersten Schattenregister-Einheit (3) und der mindestens zweiten Schattenregister-Einheit (11) verbunden ist,
 - ii) eine Register-Einheit (20), wobei die erste Schattenregister-Einheit (3) und die mindestens zweite Schattenregister-Einheit (11) und die Register-Einheit (20) funktions-identisch ausgebildet sind, und
 - 20 iii) eine Prioritäts-Einheit (19) zur Zuweisung der Multiplexer-Einheit (18) zur Datenübertragung an die erste Schattenregister-Einheit (3) oder die mindestens zweite Schattenregister-Einheit (11), wobei die Prioritäts-Einheit (19) mit der ersten Schattenregister-Einheit (3) und der mindestens zweiten Schattenregister-Einheit (11) in datenübertragender
 - 25 Weise verbunden ist.

2. Multiprozessor-Anordnung gemäß Anspruch 1,

dadurch gekennzeichnet,

dass die erste Schattenregister-Einheit (3), die mindestens zweite Schattenregister-Einheit (11) und die Register-Einheit (20) Status-Flags sowie Kontroll-/Datenregister aufweisen.

5

3. Multiprozessor-Anordnung gemäß Anspruch 1 oder 2,

dadurch gekennzeichnet,

dass die erste Clock-Domain und/oder die mindestens zweite Clock-Domain mehr als einen Prozessor aufweisen.

10

4. Multiprozessor-Anordnung gemäß einem der vorangehenden Ansprüche,

dadurch gekennzeichnet,

dass die Multiplexer-Einheit (18) zum Auslesen von Daten aus der ersten Schattenregister-Einheit (3) und/

15

oder der mindestens zweiten Schattenregister-Einheit (11) in Leserichtung mit diesen verbunden ist.

5. Multiprozessor-Anordnung gemäß einem der vorangehenden Ansprüche,

dadurch gekennzeichnet,

20

dass Zugriffsanfragen von der ersten Schattenregister-Einheit (3) und/oder der mindestens zweiten Schattenregister-Einheit (11) an die Prioritäts-Einheit (19) als Ein-Bit-Signal kodiert sind.

6. Multiprozessor-Anordnung gemäß einem der vorangehenden Ansprüche,

25

dadurch gekennzeichnet,

dass die Prioritäts-Einheit (19) der ersten Schattenregister-Einheit (3) oder der mindestens zweiten Schattenregister-Einheit (11) den Vorzug gibt nach dem Prinzip: Wer zuerst kommt, mahlt zuerst.

30

7. Multiprozessor-Anordnung gemäß einem der Ansprüche 1 bis 5,
dadurch gekennzeichnet,
dass die Prioritäts-Einheit (19) der ersten Schattenregister-Einheit (3) oder der mindestens
zweiten Schattenregister-Einheit (11) den Vorzug gibt nach dem Prinzip: Alle
5 Schattenregister-Einheiten (3, 11) kommen nacheinander dran.
8. Multiprozessor-Anordnung gemäß einem der Ansprüche 1 bis 5,
dadurch gekennzeichnet,
dass die Prioritäts-Einheit (19) der ersten Schattenregister-Einheit (3) oder der mindestens
10 zweiten Schattenregister-Einheit (11) den Vorzug gibt nach dem Prinzip: Jede
Schattenregister-Einheit erhält statistisch einen gewissen Prozentsatz der Zeit zum Zugriff
auf die Peripherie-Einheit (17).
9. Multiprozessor-Anordnung gemäß einem der vorangehenden Ansprüche,
15 dadurch gekennzeichnet,
dass die Peripherie-Einheit (17) als Infrarot-Schnittstelle, UART-Schnittstelle oder USB-
Schnittstelle, ausgebildet ist.
10. Multiprozessor-Anordnung gemäß einem der vorangehenden Ansprüche,
20 dadurch gekennzeichnet,
dass die erste Schattenregister-Einheit (3) und/oder die mindestens zweite Schattenregister-
Einheit (11) über einen Interrupt (8, 16) mit dem zugehörigen Prozessor (2, 10)
verbunden sind.

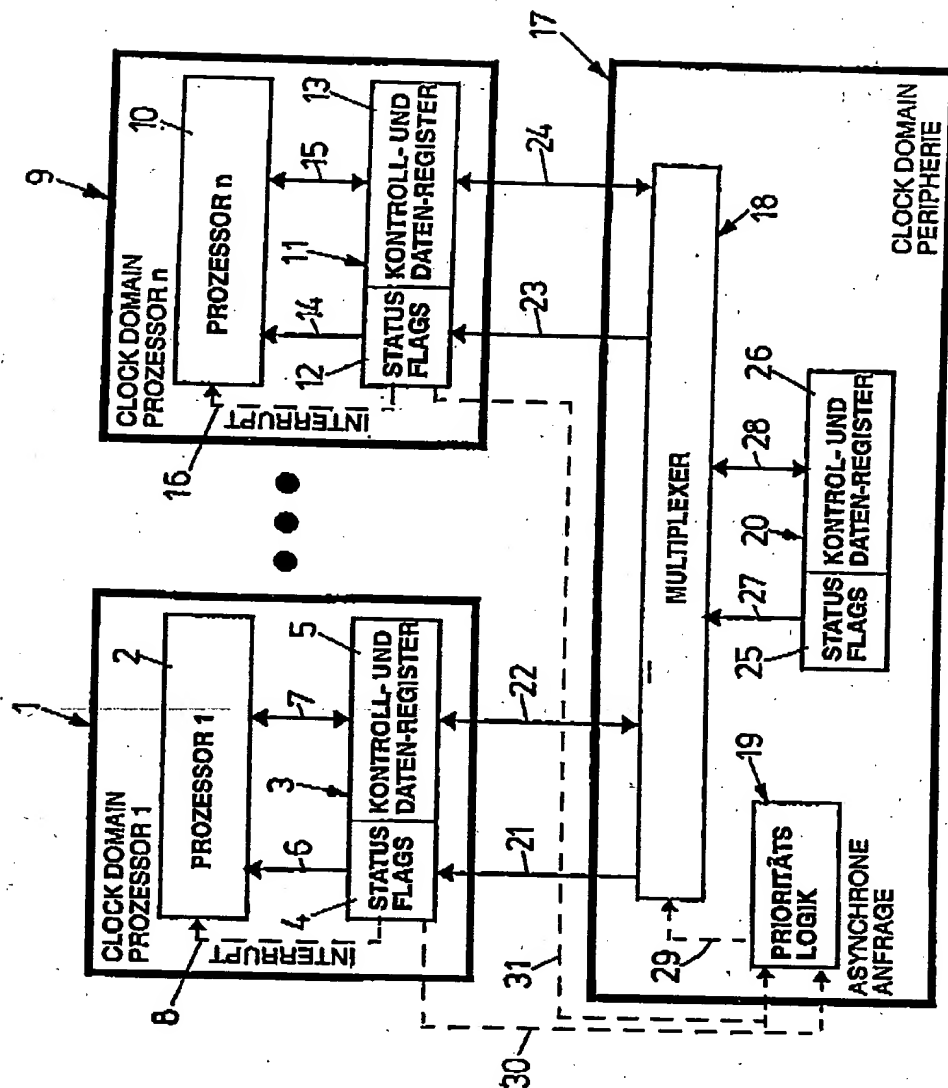
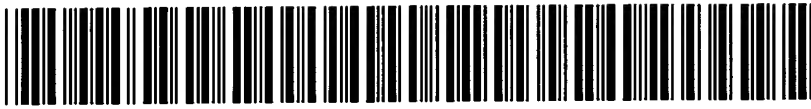


FIG.1

PHDE000167



Creation date: 05-26-2004
Indexing Officer: THINES - TONYA HINES
Team: OIPEBackFileIndexing
Dossier: 09965451

Legal Date: 05-26-2004

No.	Doccode	Number of pages
1	ECBOX	1

Total number of pages: 1

Remarks:

Order of re-scan issued on